

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

12860347

Basic Patent (No,Kind,Date): JP 7325555 A2 19951212 <No. of Patents: 008>

**SIGNAL AMPLIFIER AND IMAGE DISPLAY DEVICE** (English)

Patent Assignee: SHARP KK

Author (Inventor): KUBOTA YASUSHI; SHIRAKI ICHIRO

IPC: \*G09G-003/36; H03F-001/22

Derwent WPI Acc No: \*G 96-066132; G 96-066132

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1121232	A	19960424	CN 95102352	A	19950322
CN 1136528	B	20040128	CN 95102352	A	19950322
JP 7325555	A2	19951212	JP 94119238	A	19940531 (BASIC)
JP 7327185	A2	19951212	JP 94119225	A	19940531
JP 8006523	A2	19960112	JP 94139150	A	19940621
JP 8023238	A2	19960123	JP 94155014	A	19940706
JP 3201910	B2	20010827	JP 94155014	A	19940706
US 6225866	BA	20010501	US 594439	A	20000614

Priority Data (No,Kind,Date):

JP 94119225 A 19940531  
JP 94155014 A 19940706  
JP 94119238 A 19940531  
JP 94139150 A 19940621  
US 594439 A 20000614  
US 12424 B3 19980123  
US 416370 B1 19950404

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

05067738     \*\*Image available\*\*

**BUFFER CIRCUIT AND IMAGE DISPLAY DEVICE**

PUB. NO.:        08-023238 [JP 8023238 A]

PUBLISHED:      January 23, 1996 (19960123)

INVENTOR(s):    SHIRAKI ICHIRO

                  KUBOTA YASUSHI

APPLICANT(s):   SHARP CORP [000504] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.:       06-155014 [JP 94155014]

FILED:           July 06, 1994 (19940706)

INTL CLASS:      [6] H03F-001/56; G02F-001/133; G09G-003/36

JAPIO CLASS:    42.4 (ELECTRONICS -- Basic Circuits); 29.2 (PRECISION

                  INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION -- Other)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS -- Metal

                  Oxide Semiconductors, MOS)

**ABSTRACT**

**PURPOSE:** To increase a linear area of input/output characteristic of a buffer circuit without increasing the breakdown voltage of a transistor by driving the linear circuits constructing the buffer circuit by the power voltage of different levels.

**CONSTITUTION:** A buffer circuit 10 consists of the source follower linear circuits 1 and 2a. The circuit 1 includes the NMOS transistors Tr1 and Tr2, and the circuit 2a includes the PMOS transistors Tr3 and Tr4 respectively. Then both circuits 1 and 2a are connected to the high potential power supplies Vdd/Vdd' and the low potential power supplies Vss/Vss' respectively. The power supply of the circuit 2a is shifted in the direction where the part in which the linear output range of the circuit 1 gets out of that of the circuit 2a is equal to 0. An optimum shift extent is secured by obtaining coincidence between the linear areas of both circuits 1 and 2a so that the coincidence is secured between the linear areas serving as the buffer circuits. Thus the Vss' can be shifted to the Vss by -Vbp and the Vdd' can be shifted to the Vdd by -VBP respectively.

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3201910号

(P 3 2 0 1 9 1 0)

(45) 発行日 平成13年 8 月27日 (2001. 8. 27)

(24) 登録日 平成13年 6 月22日 (2001. 6. 22)

(51) Int. Cl. <sup>7</sup>

識別記号

F I

H03F 3/345

H03F 3/345

B

G09G 3/36

G09G 3/36

請求項の数 8 (全10頁)

(21) 出願番号 特願平6-155014

(22) 出願日 平成 6 年 7 月 6 日 (1994. 7. 6)

(65) 公開番号 特開平8-23238

(43) 公開日 平成 8 年 1 月23日 (1996. 1. 23)

審査請求日 平成10年 7 月10日 (1998. 7. 10)

前置審査

(73) 特許権者 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 白木 一郎

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 久保田 靖

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

審査官 矢島 伸一

最終頁に続く

(54) 【発明の名称】 バッファ回路及び画像表示装置

1

(57) 【特許請求の範囲】

【請求項1】 入力信号に対して出力信号がそれぞれ線形関係となる複数の線形回路が、前段線形回路の出力が後段の線形回路の入力となるように接続されたバッファ回路であって、

後段の線形回路の電源電圧が、その後段の線形回路の入力電圧と出力電圧の差の電圧分だけ、前段の線形回路の電源電圧に対してシフトされていることにより、各線形回路の入出力特性の線形動作領域がほぼ等しくなっている、バッファ回路。

【請求項2】 前記各線形回路は、NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSトランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに接続し、該NMOSソースフォロワ型線形回路およびPMOSソースフォロワ型線形回路

2

に供給する電源電圧は、該NMOSソースフォロワ型線形回路およびPMOSソースフォロワ型線形回路の線形動作領域を一致させるようにそれぞれ所定の値に設定されている請求項1記載のバッファ回路。

【請求項3】 NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSトランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに複数段接続してなるバッファ回路であって、

前記NMOSソースフォロワ型線形回路の段数 $n$ と、PMOSソースフォロワ型線形回路の段数 $m$  ( $n, m$ は正整数) とは、NMOSソースフォロワ型線形回路における電圧シフト $V_{bn}$ と、PMOSソースフォロワ型線形回路における電圧シフト $V_{bp}$ との間で、

関係式 $n \cdot V_{bn} + m \cdot V_{bp} = 0$ で表される関係を満たすものであるバッファ回路。

10

【請求項4】 前記線形回路は、第1及び第2の電源間に直列に接続された2個の同一導電型のMOS型電界効果トランジスタから構成し、一方のトランジスタのゲート電極に入力信号を、他方のトランジスタのゲート電極に該トランジスタが飽和領域で動作するバイアス電圧を印加するようにしたソースフォロワ型線形回路である請求項1ないし3のいずれかに記載のバッファ回路。

【請求項5】 入力信号に対して出力信号が線形関係となる線形回路として、NMOSTランジスタからなるNMOSソースフォロワ型線形回路と、PMOSTランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに複数段接続してなるバッファ回路であって、該線形回路は、デプレッション型トランジスタから構成されているバッファ回路。

【請求項6】 前記線形回路は、絶縁基板上に形成された単結晶シリコン薄膜、または多結晶シリコン薄膜を用いて形成したものである請求項1ないし5のいずれかに記載のバッファ回路。

【請求項7】 前記線形回路は、該線形回路の周辺回路、及びこれらの回路の出力により動作する能動素子、若しくは能動回路とともに、同一基板上に形成したものである請求項1ないし6のいずれかに記載のバッファ回路。

【請求項8】 マトリクス状に配置された複数の表示画素を有するアクティブマトリクス型画像表示装置であって、タイミング信号に同期してデータ信号線に映像信号を書き込むデータ信号線駆動回路を備え、該データ信号線駆動回路は、請求項1ないし7のいずれかに記載のバッファ回路を含むものである画像表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、バッファ回路、及び該バッファ回路を用いた画像表示装置に関し、特に、該バッファ回路の線形動作領域を拡大するための回路構成に関する。

【0002】

【従来の技術】 薄型画像表示装置として代表的なもののひとつにアクティブマトリクス駆動方式の液晶表示装置がある。該液晶表示装置は、ガラス板等の透過型絶縁基板上に非晶質薄膜トランジスタ（Thin Film Transistor：以下TFTと称する。）等のスイッチング素子がマトリクス状に配列して形成され、併せてデータ信号線、走査信号線等の各配線も形成された構造の表示電極基板を用いている。この種の液晶表示装置は表示品位が高く、表示電極基板として利用される透過型絶縁基板の面積（大きさ）に対する制約が少なく、反射型、透過型のいずれのタイプの液晶表示にも対応可能なため広く用いられている。

【0003】 このような液晶表示装置では、スイッチング素子を備えた画素部分に、データ信号及び走査信号を供給するための駆動回路、つまりデータ信号線駆動回路及び走査信号線駆動回路を表示電極基板に接続する必要がある。この接続方法として、ポリイミド樹脂薄膜ベース等に銅薄膜線を多数形成した接続フィルムを用いるフィルムキャリア方式、表示電極基板上に直接駆動回路を実装するCOG（Chip on Glass）方式等がある。

【0004】 近年では、表示用電極上のスイッチング素子を形成すると同時に上記駆動回路を該スイッチング素子と一体形成し、回路素子の実装効率を向上するドライバモノリシック技術の開発が行われている。

【0005】 しかし、現在スイッチング素子として一般的に用いられている非晶質シリコンTFTを用いたのでは、駆動能力が不足するため、このドライバモノリシックの実現が困難である。そこで、駆動能力を向上させた多結晶シリコンTFTを用いてドライバモノリシック技術の開発が進められている。上記多結晶シリコンTFTは、トランジスタを構成する半導体層として多結晶シリコン薄膜を用いたものである。

【0006】 上述したように、ドライバモノリシック技術を実現するには多結晶シリコンTFTを用いることが不可欠であるが、該TFTにはソース、ドレイン耐圧の問題、NMOSTランジスタとPMOSTランジスタとでは閾値電圧に大きな差があり、また閾値そのものの値が大きいという問題がある。これらTFTの問題に起因して、液晶表示装置の駆動回路、特にデータ信号線駆動回路における最終段の出力回路として用いられているバッファ回路は、その線形動作領域が狭いものとなってしまいうという不具合が生じていた。

【0007】 図8は、上記データ信号線駆動回路の出力回路として用いられているソースフォロワ型線形回路を2段用いて構成したバッファ回路の一例を示す。図において200は上記バッファ回路で、初段のNMOS線形回路1と次段のPMOS線形回路2とから構成されている。

【0008】 上記初段のNMOS線形回路1は、高電位側電源V<sub>dd</sub>及び低電位側電源V<sub>ss</sub>間に直列に接続された2個のNMOSTランジスタTr<sub>1</sub>及びTr<sub>2</sub>からなる。第1のNMOSTランジスタTr<sub>1</sub>のドレイン電極は電源V<sub>dd</sub>に、そのゲート電極は入力端子Vinに、ソース電極は第2のNMOSTランジスタTr<sub>2</sub>のドレイン電極に接続されている。該トランジスタTr<sub>2</sub>のソース電極は電源V<sub>ss</sub>に接続され、上記両トランジスタの接続点が次段への出力ノードVo'となっている。そしてこのNMOS線形回路1は、トランジスタTr<sub>2</sub>のゲート電極にバイアス電圧V<sub>BN</sub>が印加されるようになっている。

【0009】 また、上記次段のPMOS線形回路2は、

高電位側電源 $V_{dd}$ 及び低電位側電源 $V_{ss}$ 間に直列に接続された2個のPMOSトランジスタ $Tr_3$ 及び $Tr_4$ からなる。第3のPMOSトランジスタ $Tr_3$ のソース電極は高電位電源 $V_{dd}$ に、そのドレイン電極は第4のPMOSトランジスタ $Tr_4$ のソース電極に接続されている。該トランジスタ $Tr_4$ のゲート電極は前段のNMOSトランジスタ $Tr_1$ 、 $Tr_2$ の接続点に、そのドレイン電極は電源 $V_{ss}$ に接続されている。そしてこのPMOS線形回路2は、トランジスタ $Tr_3$ のゲート電極にバイアス電圧 $V_{BP}$ が印加されるようになっており、上記両トランジスタ $Tr_3$ 、 $Tr_4$ の接続点は、上記バッファ回路200の出力端子 $V_{out}'$ となっている。

【0010】ここでNMOSトランジスタ $Tr_1$ および $Tr_2$ 、PMOSトランジスタ $Tr_3$ および $Tr_4$ の素子特性はそれぞれ同一であるものとする。

【0011】また $V_{in}$ は上記バッファ回路200の入力信号、 $V_{o'}$ は初段線形回路1の出力、 $V_{out}'$ は該バッファ回路200の出力である。また、上記バイアス $V_{BN}$ はバイアス用NMOSトランジスタ $Tr_2$ の動作状態が飽和領域となるような電圧である。 $V_{bn}$ はバイアス電位 $V_{BN}$ が印加されているときのゲート、ソース間の電位差である。同様に上記バイアス $V_{BP}$ はバイアス用PMOSトランジスタ $Tr_3$ の動作状態が飽和領域となるような電圧である。 $V_{bp}$ は電位 $V_{BP}$ が印加されているときのゲート、ソース間の電位差である。

【0012】さらに詳しくはトランジスタ $Tr_2$ について、

$V_{bn} = (Tr_2 \text{の閾値電圧 } V_{thn}) + (Tr_2 \text{が飽和領域に存在し、ある程度の電流が流れるためのマージン電圧 } \alpha)$

であり、

$$V_{BN} - V_{ss} = V_{thn} + \alpha \quad \dots (1)$$

である。

【0013】次に、トランジスタ $Tr_3$ について $V_{BP}$ 、 $V_{bp}$ は、上記と同様に

$$V_{bp} = V_{thp} - \alpha$$

$$V_{BP} - V_{dd} = V_{thp} - \alpha \quad \dots (2)$$

である。

【0014】ここで、マージン電圧 $\alpha$ の値は1～2V程度で、NMOSトランジスタ、PMOSトランジスタで同じ大きさとするのが通例である。

【0015】次に上記バッファ回路の動作について説明する。

【0016】まずNMOSトランジスタ $Tr_1$ 、 $Tr_2$ で構成されたNMOS線形回路において、トランジスタ $Tr_2$ には、その動作状態が飽和領域となるようなバイアス $V_{bn}$ がゲート、ソース間に印加されている。この時該トランジスタ $Tr_2$ のソース、ドレイン間に流れる電流 $I_{sd2}$ は、動作状態が飽和領域となることから次

式で表される。

$$【0017】I_{sd2} = (1/2) \cdot C_{ox} \cdot \mu (W/L) \cdot (V_{bn} - V_{thn})^2$$

$C_{ox}$  : ゲート絶縁膜容量

$W$  : トランジスタのチャンネル幅

$\mu$  : キャリア移動度

$L$  : トランジスタのチャンネル長

上記トランジスタ $Tr_1$ に流れる電流 $I_{sd1}$ の経路は、トランジスタ $Tr_1$ 、 $Tr_2$ の接続点で次段側へ分岐しているが、この分岐した電流経路は、トランジスタ $Tr_4$ のゲートにつながっており、電気的にはほぼ開放状態にある。このため、定常状態において $I_{sd1}$ は

$$I_{sd1} = I_{sd2}$$

となる。

【0018】従って、トランジスタ $Tr_2$ に電流 $I_{sd2}$ を流すためのゲート、ソース間の電位差が $V_{bn}$ であり、 $Tr_1$ と $Tr_2$ の素子特性が同一であることから、トランジスタ $Tr_1$ のゲート、ソース間の電位差も $V_{bn}$ となり、初段回路1の出力 $V_{o'}$ は

$$V_{o'} = V_{in} - V_{bn}$$

となる。

【0019】次段のPMOSトランジスタ $Tr_3$ 、 $Tr_4$ で構成したPMOS線形回路2についても、トランジスタ $Tr_3$ のゲート、ソース間に動作状態が飽和領域となるような電圧 $V_{bp}$ が印加されているために、前段とは極性の違いのみで同様の動作を行う。従って $V_{out}'$ は

$$V_{out}' = V_{o'} - V_{bp}$$

となり、 $V_{in}$ との関係をみると

$$V_{out}' = V_{in} - V_{bn} - V_{bp} \quad \dots (3)$$

となる。

【0020】ここで、理想的なバッファ回路の入出力特性は

$$V_{out}' = V_{in}$$

であるので、該バッファ回路は $-(V_{bp} + V_{bn})$ 分のオフセットを有していることがわかる。

【0021】該バッファ回路の入出力特性を図9に示す。

【0022】同図において、曲線4はNMOS線形回路1の入出力特性を、曲線5はPMOS線形回路2の入出力特性を示す。該バッファ回路への入力信号 $V_{in}$ を線分4aで示すと、曲線4における直線部分に対応した線分4bが一段目NMOS線形回路の線形動作領域の出力範囲に相当し、これが次段へ出力される。

【0023】次に一段目NMOS線形回路の出力 $V_{o'}$ （線分4b）が二段目PMOS線形回路2への入力信号（線分5a）となり、曲線5の直線部分に対応した線分5bが該バッファ回路の線形動作領域の出力範囲 $V_{out}'$ に相当する。この場合、一段目の線形動作領域の出力範囲（線分5a）が二段目回路の線形動作領域に対応

する入力範囲（線分5c）から逸脱している部分が広く存在しており、この逸脱部分は図9では線分3の長さで表されている。

【0024】上述した要因により該バッファ回路の線形動作領域が狭められることとなる。また、閾値電圧の絶対値が大きければ大きいほどバイアス電圧 $V_{BN}$ は大きく、バイアス電圧 $V_{BP}$ は小さくとらなければならなくなり、NMOSトランジスタ、PMOSトランジスタの閾値電圧の絶対値の差が大きければ大きいほど線分3が長くなり、バッファ回路の線形動作領域がより狭められることとなる。

【0025】ところで、バッファ回路の線形動作領域を広く取るためには電源電圧を高くすればよいが、そのためには、トランジスタの耐圧を高くすることが必要となる。しかしドライバモノリシック技術に不可欠な多結晶シリコントランジスタは単結晶シリコントランジスタよりも耐圧が低いというのが現状であり、トランジスタの耐圧を高くすることは困難である。

【0026】また、理想的なバッファ特性を得るためには、上記オフセット（ $-V_{bp}-V_{bn}$ ）を無くすことが考えられる。ここで、NMOSトランジスタとPMOSトランジスタの閾値電圧の絶対値を比較すると、これらの値が同等であれば上記条件を満足できるが、通常PMOSトランジスタの閾値電圧の絶対値の方がNMOSトランジスタのものより大きい。このためNMOSトランジスタのゲート、ソース間の電位差 $V_{bn}$ 中のマージン電圧 $\alpha$ を必要以上に大きく取ることによって上記条件を満たすことができるが、各トランジスタのゲート、ソース間の電位差 $V_{bn}$ 及び $V_{bp}$ を大きく取れば取るほどトランジスタの動作が飽和領域から逸脱し線形回路が正常な動作を行わなくなり、バッファ回路としての線形動作領域が狭くなる。

【0027】したがって、ある入力電圧に対してはオフセットをなくして $V_{out}' = V_{in}$ とすることはできるがバッファ回路の線形動作領域が極めて狭くなるために有効な解決法とは言えない。

【0028】

【発明が解決しようとする課題】上述したように、ソースフォロワ型線形回路ではオフセットを有するので、同一の電源で駆動した場合、バイアス電圧により入出力特性の線形領域が狭められるという根本的な要因をもっている。また、電源電圧を高くすることで該線形回路の線形動作領域を拡大することができるがトランジスタの耐圧の点から限界がある。さらにNMOSトランジスタとPMOSトランジスタの閾値電圧が異なる場合には該バッファ回路にオフセットが生じていた。

【0029】この発明は、上記のような問題点を解決するためになされたもので、トランジスタの耐圧を高くせずともバッファ回路の入出力特性の線形領域を拡大することができるバッファ回路を得ることが本発明の目的で

ある。

【0030】また、オフセットのないバッファ回路を得ることが本発明の目的である。

【0031】さらに、該バッファ回路を含む映像表示装置を得ることが本発明の目的である。

【0032】

【課題を解決するための手段】この発明に係るバッファ回路は、入力信号に対して出力信号がそれぞれ線形関係となる複数の線形回路が、前段線形回路の出力が後段の線形回路の入力となるように接続されたバッファ回路であって、後段の線形回路の電源電圧が、その後段の線形回路の入力電圧と出力電圧の差の電圧分だけ、前段の線形回路の電源電圧に対してシフトされていることにより、各線形回路の入出力特性の線形動作領域がほぼ等しくなっており、そのことにより上記目的が達成される。

【0033】また、前記各線形回路は、NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSトランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに接続し、該NMOSソースフォロワ型線形回路およびPMOSソースフォロワ型線形回路に供給する電源電圧は、該NMOSソースフォロワ型線形回路およびPMOSソースフォロワ型線形回路の線形動作領域を一致させるようにそれぞれ所定の値に設定されているのが好ましい。

【0034】この発明に係るバッファ回路は、NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSトランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに複数段接続してなるバッファ回路であって、前記NMOSソースフォロワ型線形回路の段数 $n$ と、PMOSソースフォロワ型線形回路の段数 $m$ （ $n, m$ は正整数）とは、NMOSソースフォロワ型線形回路における電圧シフト $V_{bn}$ と、PMOSソースフォロワ型線形回路における電圧シフト $V_{bp}$ との間で、関係式 $n \cdot V_{bn} + m \cdot V_{bp} = 0$ で表される関係を満たしており、そのことにより上記目的が達成される。

【0035】また、前記線形回路は、第1及び第2の電源間に直列に接続された2個の同一導電型のMOS型電界効果トランジスタから構成し、一方のトランジスタのゲート電極に入力信号を、他方のトランジスタのゲート電極に該トランジスタが飽和領域で動作するバイアス電圧を印加するようにしたソースフォロワ型線形回路であることが好ましい。

【0036】この発明に係るバッファ回路は、入力信号に対して出力信号が線形関係となる線形回路として、NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSトランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに複数段接続してなるバッファ回路であって、該線形回路は、デプレッション型トランジスタから構成されており、そのことによ

り上記目的が達成される。

【0037】また、前記線形回路は、絶縁基板上に形成された単結晶シリコン薄膜、または多結晶シリコン薄膜を用いて形成したものであることが好ましい。

【0038】また、前記線形回路は、該線形回路の周辺回路、及びこれらの回路の出力により動作する能動素子、若しくは能動回路とともに、同一基板上に形成したものであることが好ましい。

【0039】この発明の画像表示装置は、マトリクス状に配置された複数の表示画素を有し、タイミング信号に同期してデータ信号線に映像信号を書き込むデータ信号線駆動回路を備え、該データ信号線駆動回路が、上記構成のバッファ回路を含んでおり、そのことにより、上記目的が達成される。

【0040】

【作用】本発明においては、入力信号に対して出力信号が線形関係となる線形回路を複数段接続してなり、該各線形回路を、各々異なる電源電圧により駆動するよう構成したから、トランジスタの耐圧を高くせずともバッファ回路の入出力特性の線形領域を拡大することができ

る。

【0041】本発明においては、NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSTランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに複数段接続し、前記NMOSソースフォロワ型線形回路の段数 $n$ と、PMOSソースフォロワ型線形回路の段数 $m$  ( $n, m$ は正整数)とが、NMOSソースフォロワ型線形回路における電圧シフト $V_{bn}$ と、PMOSソースフォロワ型線形回路における電圧シフト $V_{bp}$ との間で、関係式 $n \cdot V_{bn} + m \cdot V_{bp} = 0$ で表される関係を満たすようにしたので、上記と同様トランジスタの耐圧を高くせずともバッファ回路の入出力特性の線形領域を拡大することができる。

【0042】この発明においては、NMOSトランジスタからなるNMOSソースフォロワ型線形回路と、PMOSTランジスタからなるPMOSソースフォロワ型線形回路とをシリアルに複数段接続してなり、該線形回路を、デプレッション型トランジスタから構成したので、バッファ回路のオフセットをなくすることができる。特にNMOS、PMOSTランジスタの閾値電圧の絶対値が大きい、もしくはこれらの差が大きい場合に有効である。

【0043】この発明においては、データ信号線に映像信号を書き込むデータ信号線駆動回路を、上記構成のバッファ回路を含む構成としたので、画像表示装置の駆動回路の線形動作領域を広げることができる。

【0044】

【実施例】

(実施例1) 図1は本発明の一実施例によるバッファ回路の構成を示す回路図である。図において、101は本

実施例のバッファ回路で、これは初段と次段の2段のソースフォロワ型線形回路1及び2aから構成されている。この初段の線形回路1は、NMOS線形回路で、第1の高電位電源 $V_{dd}$ と第1の低電位電源 $V_{ss}$ との間に直列に接続された2個のNMOSTランジスタ $T_{r1}$ 、 $T_{r2}$ を有する。ここで、第1のトランジスタ $T_{r1}$ のドレイン電極は第1の高電位側電源 $V_{dd}$ に、ゲート電極は入力端子 $V_{in}$ に、ソース電極は第2のトランジスタ $T_{r2}$ のドレイン電極に接続されている。第2のトランジスタ $T_{r2}$ のソース電極は第1の低電位側電源 $V_{ss}$ に接続され、そのゲート電極にはバイアス電圧 $V_{BN}$ が印加されるようになっている。

【0045】上記次段の線形回路2aはPMOS線形回路で、上記NMOS線形回路とは異なる第2の高電位電源 $V_{dd'}$ と第2の低電位電源 $V_{ss'}$ との間に直列に接続された2個のPMOSTランジスタ $T_{r3}$ 、 $T_{r4}$ を有する。ここで、第3のトランジスタ $T_{r3}$ のソース電極は第2の高電位側電源 $V_{dd'}$ に、ドレイン電極は第4のトランジスタ $T_{r4}$ のソース電極に接続され、これが出力端子 $V_{out}$ になっている。そしてトランジスタ $T_{r3}$ のゲート電極にはバイアス電圧 $V_{BP}$ が印加されるようになっている。また第4のトランジスタ $T_{r4}$ のゲート電極は前段のトランジスタ $T_{r1}$ 、 $T_{r2}$ の接続点に、ドレイン電極は第2の低電位電源 $V_{ss'}$ に接続されている。

【0046】ここで上記NMOSTランジスタ $T_{r1}$ および $T_{r2}$ 、PMOSTランジスタ $T_{r3}$ および $T_{r4}$ の素子特性はそれぞれ同一であるものとする。

【0047】次に作用効果について説明する。

【0048】動作原理としては、二段目の電源電圧を一段目と別電源としたこと以外は、従来の技術で述べたとおりである。

【0049】上記電源を用いた場合の該バッファ回路の入出力特性を図2に示す。

【0050】同図において、曲線11はNMOS線形回路の入出力特性を、曲線12はPMOS線形回路の入出力特性を示す。該バッファ回路への入力信号を $V_{in}$ とすると、曲線11における直線部分に対応した線分11bが一段目NMOS線形回路の線形領域の出力範囲 $V_o$ に相当し、次段へ出力される。次に一段目NMOS線形回路の出力 $V_o$  (線分12a) が二段目PMOS線形回路の入力信号となり、曲線12の直線部分に対応した線分12bが二段目PMOS線形回路の線形領域の出力範囲 $V_{out}$ となる。

【0051】本実施例において、一段目NMOS線形回路の線形出力範囲が二段目PMOS線形回路の線形入力範囲から逸脱している部分が0になるような方向に二段目線形回路の電源をシフトさせているために一段目の出力 $V_o$ の線形領域を有効に $V_{out}$ として出力することができる。

【0052】また、最適なシフト量を図1を用いて説明する。ゲート電圧をVG、ドレイン電圧をVD、NMOSトランジスタの閾値電圧をV<sub>thn</sub>、PMOSトランジスタの閾値電圧をV<sub>thp</sub>として、NMOSトランジスタの動作状態が飽和領域となる条件は、

$$VG \leq VD + V_{thn}$$

である。

【0053】PMOSトランジスタについては、

$$VG \geq VD + V_{thp}$$

である。

【0054】この条件を満たす領域が該回路の線形領域

$$V_o = V_{in} - (V_{BN} - V_{ss})$$

である。

【0056】(4)、(5)、(6)式により、入力電圧V<sub>in</sub>、NMOS線形回路の出力電圧V<sub>o</sub>の線形領域をそれぞれ求めると、入力電圧V<sub>in</sub>は、

$$V_{BN} - V_{thn} \leq V_o \leq V_{dd} - V_{BN} + V_{thn} + V_{ss} \quad \dots (7)$$

となる。

【0057】上記範囲内であればNMOS線形回路の入出力特性は線形となる。

【0058】同様にPMOS線形回路についても、トランジスタTr<sub>3</sub>については、

$$V_{BP} - V_{dd'} \geq V_{out} - V_{dd'} + V_{thp}$$

$$V_{BP} \geq V_{out} + V_{thp} \quad \dots (8)$$

となる。

【0059】トランジスタTr<sub>4</sub>については、

$$V_o - V_{out} \geq V_{ss'} - V_{out} + V_{thp}$$

$$V_{thp} + V_{ss'} \leq V_o \leq 2V_{BP} - V_{dd'} - V_{thp} \quad \dots (11)$$

となり、出力電圧V<sub>out</sub>は、

$$V_{ss'} + V_{thp} - V_{BP} + V_{dd'} \leq V_{out} \leq V_{BP} - V_{thp}$$

となり、上記範囲内であればPMOS線形回路の入出力特性は線形となる。

【0062】ここで、バッファ回路としての線形領域を最大にするにはNMOS線形回路、及びPMOS線形回路の線形領域を一致させればよく、(7)、(11)式からLOW側の条件としては

$$V_{BN} - V_{thn} = V_{thp} + V_{ss'}$$

$$V_{dd} - V_{BN} + V_{thn} + V_{ss} = 2V_{BP} - V_{dd'} - V_{thp}$$

$$V_{dd'} = 2V_{BP} - V_{thp} - V_{dd} + V_{BN} - V_{thn} - V_{ss}$$

... (16)

である。(16)式においても(13)、(14)式を代入すると

$$V_{dd'} = V_{dd} - V_{thp} + \alpha \quad \dots (17)$$

となり、V<sub>dd'</sub>もV<sub>dd</sub>に対し-V<sub>thp</sub>+α(=V<sub>dd'</sub>-V<sub>BP</sub>=-V<sub>bp</sub>)だけシフトすればよい。

【0065】即ち、一段目の電源に対して二段目の電源を-V<sub>thp</sub>+αだけシフトすることで線形領域の減少を0とすることができる。

【0066】上記実施例では一段目線形回路をNMOS

となる。

【0055】NMOS構成段のTr<sub>1</sub>、Tr<sub>2</sub>について上記条件を当てはめるとトランジスタTr<sub>1</sub>については、

$$V_{in} - V_o \leq V_{dd} - V_o + V_{thn} \quad \dots (4)$$

トランジスタTr<sub>2</sub>については、

$$V_{BN} - V_{ss} \leq V_o - V_{ss} + V_{thn}$$

すなわち、

$$V_{BN} \leq V_o + V_{thn} \quad \dots (5)$$

10 となる。ここで前述のようにNMOS線形回路の出力V<sub>o</sub>は、

$$\dots (6)$$

$$2V_{BN} - V_{thn} - V_{ss} \leq V_{in} \leq V_{dd} + V_{thn}$$

となり、これに対する出力電圧V<sub>o</sub>は、

$$V_o \geq V_{ss'} + V_{thp} \quad \dots (9)$$

となる。

20 【0060】ここで前述のようにPMOS線形回路の出力V<sub>out</sub>は、

$$V_{out} = V_o - (V_{BP} - V_{dd'}) \quad \dots (10)$$

である。

【0061】(8)、(9)、(10)式より、PMOS線形回路の入力電圧V<sub>o</sub>、出力電圧V<sub>out</sub>の線形領域をそれぞれ求めると、入力電圧V<sub>o</sub>は、

$$V_{ss'} = V_{BN} - V_{thn} - V_{thp} \quad \dots (12)$$

である。

【0063】また図1より

$$V_{BN} = V_{ss} + V_{thn} + \alpha \quad \dots (13)$$

$$V_{BP} = V_{dd'} + V_{thn} - \alpha \quad \dots (14)$$

であるので、(13)式を(12)式に代入すると

$$V_{ss'} = V_{ss} - V_{thp} + \alpha \quad \dots (15)$$

となり、V<sub>ss'</sub>はV<sub>ss</sub>に対し-V<sub>thp</sub>+α(=V<sub>dd'</sub>-V<sub>BP</sub>=-V<sub>bp</sub>)だけシフトすればよい。

【0064】次にHIGH側の条件としては、

で、二段目線形回路をPMOSで構成しているが、これに限らず、さらに多段の線形回路で構成してもよい。またバッファ回路を構成する各段の線形回路は、NMOS、PMOSをどのように組み合わせてもよい。

【0067】また、本発明では電源を多数使用することになるが、付加回路を用いることにより、電源数を減らすことも可能である。

【0068】(実施例2)このような構成のバッファ回路を本発明の第2の実施例として図3に示す。駆動法を



単一電源で行う。

【0069】図において、102は本実施例のバッファ回路で、このバッファ回路102は、図8の回路構成のバッファ回路200において、NMOSトランジスタTr5のゲート電極とドレイン電極とを短絡して電源Vddに接続し、そのソース電極を該バッファ回路200のNMOS回路1の電源端子Aに接続し、PMOSTランジスタTr6のゲート電極とドレイン電極とを短絡して電源Vssに接続し、そのソース電極を該バッファ回路200のPMOS回路2の電源端子Bに接続したものである。これによりソース、ゲート間の電圧VGSと、ソース、ドレイン電流IDSの関係は図4に示す特性となる。ただし、NMOSTランジスタTr5の閾値電圧をVthn、PMOSTランジスタTr6の閾値電圧をVthpとする。同図は上記構成としたTr5における特性であり、トランジスタTr6における特性は同図とは逆の特性を示す。

【0070】以上のことから点Aの電位はVdd-Vthnとなり、一段目のソースフォロワ型線形回路の電源電圧はVdd-VthnからVssまでの間で、同様に二段目の該回路はVddからVss-Vthpまでの間で動作させることが可能となる。

【0071】また、トランジスタTr5、Tr6のかわりに抵抗を挿入し、上記のように電源電圧の調整を行ってもよい。

【0072】（実施例3）また、図5の第3の実施例に示すように電源Vdd、Vss間に例えば3つの抵抗R1、R2、R3を直列に接続し、電源電圧の抵抗分割を行い、電源Vdd、及びVssの他、図中のC点、D点から各線形回路に異なった電源を供給してもよい。

【0073】上記説明はNMOSTランジスタで構成したNMOS線形回路、PMOSTランジスタ構成したPMOS線形回路の各一段ずつで構成した場合であったが、さらに多段で、あるいは同極性線形回路のみで該バッファ回路を構成してもよい。また、線形回路の段数、特性に応じ、図3におけるトランジスタTr5、Tr6の数、若しくは抵抗の数、図5における抵抗分割の数を増加させてもよい。

【0074】以上の説明では上記バッファ回路が液晶表示装置におけるデータ信号線駆動回路の出力回路として用いられた場合について述べたが、他にビデオ信号処理回路等にも用いることができる。

【0075】（実施例4）図6は、本発明の第4の実施例によるバッファ回路の構成を示す図であり、図において、104は、ソースフォロワ型線形回路を複数段接続してなる、本実施例のバッファ回路である。このバッファ回路102では、NMOS線形回路をn段、PMOS線形回路をm段用いている。m、nは正整数である。該バッファ回路において、各NMOSTランジスタのバイ

アス電圧を、ゲート-ソース間に電位差Vbpが発生するよう電圧VBNとし、PMOSTランジスタのバイアス電圧を、ゲート-ソース間に電位差Vbpが発生するよう電圧VBPとする。

【0076】すると、従来技術で述べたようにNMOS線形回路では、入力電圧に対して、Vbnだけシフトした電位が出力となり、PMOS線形回路では、入力電圧に対して、Vbpだけシフトした電位が出力される。

【0077】よって同図において、出力電圧Voutは、

$$V_{out} = V_{in} - m \cdot V_{bp} - n \cdot V_{bn}$$

となる。

【0078】この実施例の回路構成において、 $m \cdot V_{bp} + n \cdot V_{bn} = 0$ となるように正の整数m、nを適当な値に設定することでマージン電圧 $\alpha$ を必要最小限に抑え、広い線形性を維持しながらオフセットを0にすることが可能となる。ここでm、nは比較的小さい数とすることが、現実的であるので、そのようにマージン電圧 $\alpha$ を調整（NMOS構成段とPMOS構成段で異なる値としてもよい）することが望ましい。

【0079】また、この実施例のバッファ回路においても実施例1で述べたように各線形回路を異なる電源で動作させてもよい。

【0080】（実施例5）図7は、本発明の第5の実施例によるバッファ回路の構成を示す図であり、図において、105は、初段にNMOSソースフォロワ線形回路1cを、次段にPMOSソースフォロワ線形回路2cを用いて構成した、第5の実施例によるバッファ回路である。この回路では、初段の線形回路を構成するNMOS型トランジスタTr1'、Tr2'、及び次段の線形回路を構成するPMOS型トランジスタTr3、Tr4'は、全てデプレッション型トランジスタである。NMOSTランジスタTr2'のゲート電極を低電位側電源Vssに接続し、PMOSTランジスタTr3'のゲート電極を高電位側電源Vddに接続している以外は従来のバッファ回路200と同様であり、動作原理についても同様である。

【0081】但し、全てデプレッション型トランジスタを用いて構成しているために、バイアス用トランジスタTr2'、Tr3'のゲート-ソース間の電位差が0であっても該トランジスタの動作状態が飽和領域となり、該回路の入出力特性が線形となる動作を行う。

【0082】即ち、同図においてはVbn=0、Vbp=0となり、式(3)においてV<sub>in</sub>=V<sub>out</sub>

となり、オフセットのない理想的なバッファ回路が構成できる。

【0083】無論、NMOS、PMOSソースフォロワ型線形回路をさらに多くの段数を有する構成、あるいは同一導電型の線形回路のみの構成としてもよい。

【0084】

10

20

30

40

50

【発明の効果】本発明によれば、トランジスタの耐圧を高くせずともバッファ回路の入出力特性の線形領域を拡大することができる。またバッファ回路のオフセットを0とすることができる。特にNMOS、PMOSTランジスタ閾値電圧の絶対値が大きい、もしくはこれらの差が大きい場合に有効である。

【0085】更に、液晶表示装置のドライバモノリシク化のために用いられる多結晶シリコンTFTによってバッファ回路を構成する際には、本発明により、上記TFTの耐圧が低く閾値電圧が大きいという不具合を解消して良好な線形特性を得ることができ、極めて効果的である。

#### 【図面の簡単な説明】

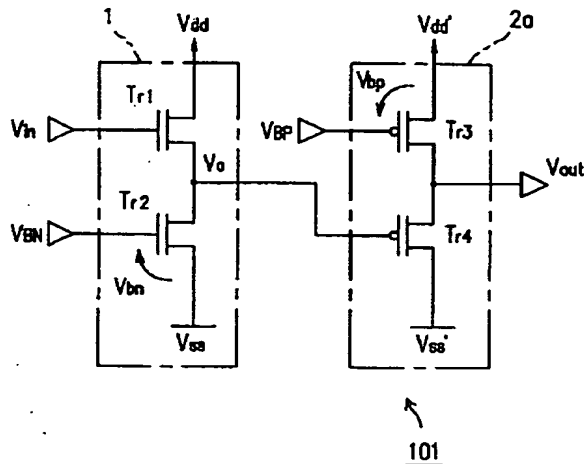
【図1】本発明の第1の実施例によるバッファ回路の構成を示す図である。

【図2】上記第1の実施例によるバッファ回路を構成する各線形回路の入出力特性を示す図である。

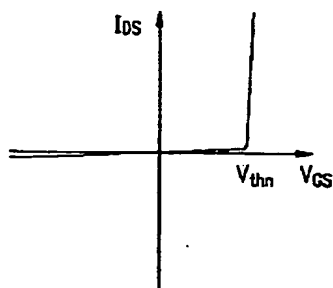
【図3】本発明の第2の実施例によるバッファ回路の構成を示す図である。

【図4】第2の実施例のバッファ回路の特性を説明するための図である。

【図1】



【図4】



【図5】本発明の第3の実施例によるバッファ回路の構成を説明する図である。

【図6】本発明の第4の実施例によるバッファ回路の構成を示す図である。

【図7】本発明の第5の実施例によるバッファ回路の構成を示す図である。

【図8】従来のバッファ回路の構成を示す図である。

【図9】従来のバッファ回路の入出力特性を示す図である。

#### 【符号の説明】

1, 1c NMOS線形回路

2, 2a, 2c PMOS線形回路

101, 102, 104, 105 バッファ回路

Vdd, Vdd' 高電位電源

Vss, Vss' 低電位電源

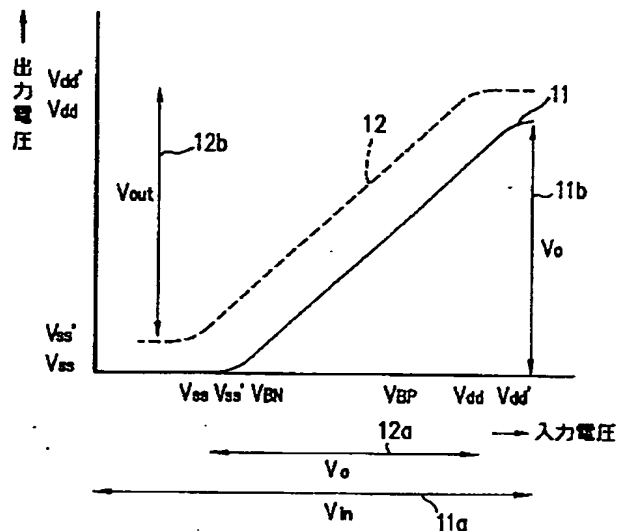
Tr1, Tr2 NMOSTランジスタ

Tr3, Tr4 PMOSTランジスタ

Tr1', Tr2' デプレッション型NMOSTランジスタ

Tr3', Tr4' デプレッション型PMOSTランジスタ

【図2】



【図 7】

